

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09247535  
PUBLICATION DATE : 19-09-97

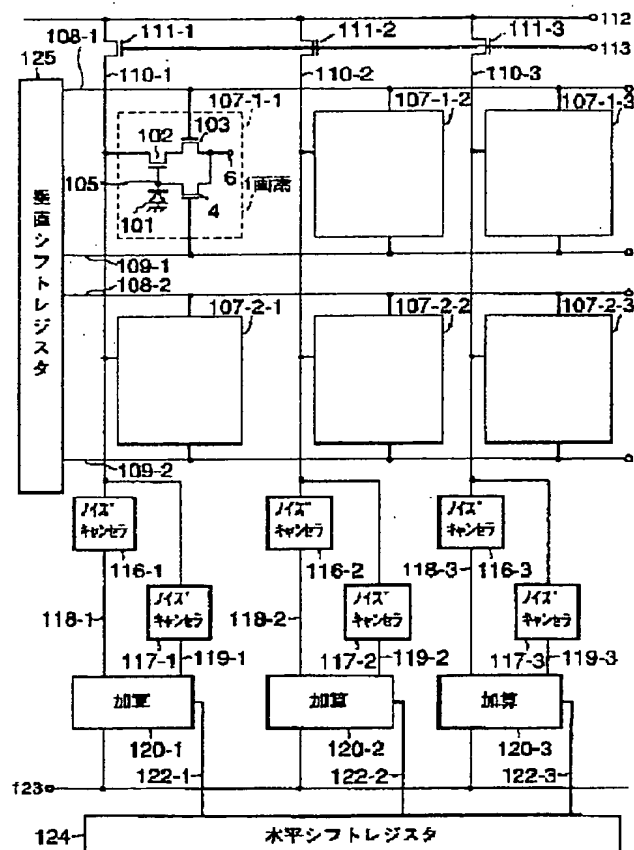
APPLICATION DATE : 12-03-96  
APPLICATION NUMBER : 08055028

APPLICANT : TOSHIBA CORP;

INVENTOR : OBA HIDEFUMI;

INT.CL. : H04N 5/335 H01L 27/146

TITLE : SOLID-STATE IMAGE PICKUP DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To sharply improve an S/N to be important for forming a micronized cell, and to increase the signal of a low frequency signal component of an object.

SOLUTION: This device is provided with an image pickup area composed by arranging a unit cell 107 consisting of a photodiode 101, an amplifying transistor 102, a selecting transistor 103 and a resetting transistor 4 in matrix two-dimensional shape on a semiconductor substrate, a vertical shift register 125 to select the read out line of the image pickup area, plural vertical signal lines 110 to take out the detection signal of the selected line, and a horizontal signal line 123 connected to these signal lines 110 through horizontal selecting transistors. In this case, noise canceler areas 116, 117 with an adding function are formed in adjacent to the image pickup area, and each area has a horizontal memory for storing the signal of the read out line, and the outputs of the noise canceler areas 116, 117 are added by an addition circuit 120, and the result is outputted to the horizontal signal line.

COPYRIGHT: (C)1997,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247535

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/335

H 0 4 N 5/335

E

H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数 8 O L (全 26 頁)

(21) 出願番号 特願平8-55028

(22) 出願日 平成8年(1996)3月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 信男

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 松長 誠之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 遠藤 幸雄

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

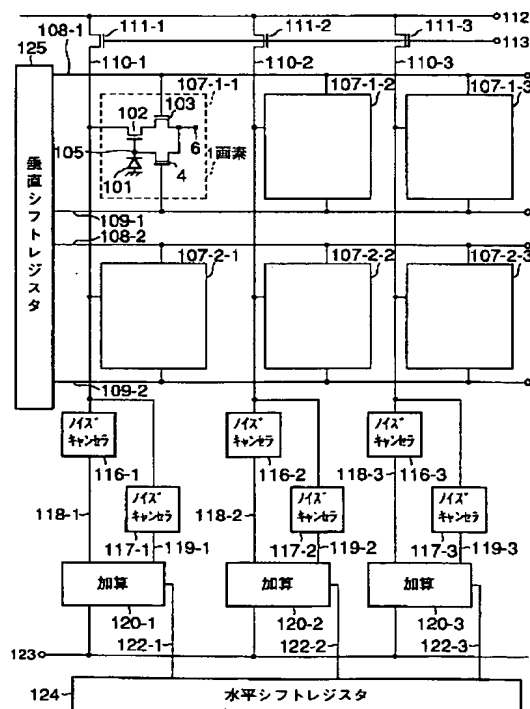
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 微細化セルを形成する上で重要となるS/N比を大幅に向上させ、被写体の低周波信号成分の信号を増加させる。

【解決手段】 半導体基板上に、フォトダイオード101、増幅トランジスタ102、選択トランジスタ103、リセットトランジスタ104からなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する垂直シフトレジスタ125と、選択された行の検出信号を取り出す複数の垂直信号線110と、これらの垂直信号線110に水平選択トランジスタを介して接続された水平信号線123とを備えた固体撮像装置において、撮像領域に隣接して加算機能を持つノイズキャンセラ領域116、117が形成され、各々の領域に読み出した行の信号を蓄積するための水平メモリを持ち、ノイズキャンセラ領域116、117の出力を加算回路120により加算して水平信号線に出力する。



1

## 【特許請求の範囲】

【請求項1】半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記撮像領域に隣接して加算機能を持つノイズキャンセラ領域が形成され、該領域に、複数行分の信号を蓄積するための複数の水平メモリを持つことを特徴とする固体撮像装置。

【請求項2】半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記複数の垂直信号線にクランプ容量とトランジスタがそれぞれこの順序で接続され、各々のトランジスタの他方は共通信号線に接続され、信号電荷を蓄積するためのサンプルホールド容量が共通信号線に接続され、この共通信号線を用いて加算の演算をアナログ状態で行うことを特徴とする固体撮像装置。

【請求項3】半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記複数の垂直信号線には第1の容量が並列にトランジスタが直列に、それぞれこの順序で接続され、各々のトランジスタの他方は共通信号線に接続され、信号電荷を蓄積するための第2の容量が共通信号線に接続され、この共通信号線を用いて加算の演算をアナログ状態で行うことを特徴とする固体撮像装置。

【請求項4】半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線と、撮像領域に隣接して形成される加算機能を持つノイズキャンセラ領域とを備えた固体撮像装置において、

2

N行M列のセルの信号は、N行M列のセルからの信号を含んで、行方向及び列方向に複数存在するセルの信号の演算により作られることを特徴とする固体撮像装置。

【請求項5】半導体基板上に、光信号を信号電荷に変換する光電変換部及び少なくとも1つのトランジスタを有する単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、行の選択により増幅された信号を取り出す複数の垂直信号線と、垂直信号線を選択する水平選択トランジスタと、水平選択トランジスタの駆動により垂直信号線の信号を取り出す水平信号線とを備えた固体撮像装置において、前記垂直信号線を、それぞれ複数の第2垂直信号線に分割した構造を有することを特徴とする固体撮像装置。

【請求項6】基板半導体上に2次元状に配置されたフォトダイオードと、これらのフォトダイオードに対し一方の信号端が接続された読み出しトランジスタと、複数の読み出しトランジスタの他方の信号端に制御端が共通接続された増幅兼選択トランジスタと、増幅兼選択トランジスタの制御端に一方の電極が接続された選択キャパシタと、選択キャパシタの信号をリセットするためのリセットトランジスタと、少なくとも一列の水平配列の選択キャパシタに対して設けられた共通プレート電極とを備えた固体撮像装置であって、前記選択兼増幅トランジスタの制御端に結合した複数の読み出しトランジスタの制御端に、選択的に読み出しパルスを加し、任意のフォトダイオードの信号を読み出し加算後、平均化して出力することを特徴とする固体撮像装置。

【請求項7】フォトダイオードを2次元配列した撮像部を、3個以上のフォトダイオードから成る配列の撮像領域に多分割し、各撮像領域毎に信号電荷を出力する1つの個別の回路を有し、かつ信号電荷をリセットせずに順次加算し、加算毎に外部回路に読み出し動作を行う固体撮像装置において、個別の前記出力回路から順次加算読み出しされた信号から、各加算信号の出力の増加分を一出力前に読み出した信号値との差分として抽出する回路を有し、かつ各フォトダイオードの信号値をこの順次加算読み出しされた信号値からの前記差分で置き換えることを特徴とする固体撮像装置。

【請求項8】単位センサを2次元配列した2次元センサ部が、3個以上の単位センサを有するセンサ領域に多分割され、各センサ領域毎に個別の信号出力回路を有する固体撮像装置であって、

前記センサの中心領域の信号を基準とし、前記出力回路から読み出しされた信号が、各領域を囲む隣接する全ての境界領域で、境界両側の信号値と信号値の微分値が連続的に変化するよう、各領域毎の信号にバイアスを加算させ、かつ前記加算バイアスにより信号の微分値の差が境界両側で最小となるように制御することを特徴とする

固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係わり、特に増幅型MOSセンサを用いた固体撮像装置に関する。

【0002】

【従来の技術】

（従来技術1）近年、ビデオカメラの小型化や、高画素数のハイビジョン用固体撮像装置が望まれている。カメラや固体撮像装置の小型化だけでなく、低消費電力・低電圧型の固体撮像装置が、携帯用カメラとして求められている。

【0003】このような、使いやすい低消費電力の固体撮像装置として、一般的にMOS型の固体撮像装置が用いられている。MOS型固体撮像装置は、CCD素子と比較すると、単一電源が使用できるので使いやすく、低消費電力というメリットがある。例えばCMOS技術を利用すれば、5Vや3.3Vなどの、低電圧で使用できる。

【0004】固体撮像装置の性能向上の第1は、高感度、高解像度、高S/N比を得ることである。一般にCCD型固体撮像装置においては、高解像度を得るためにセルサイズを縮小すると、フォトダイオード面積の縮小による信号電荷量が減少し、感度、S/Nが低下するという問題が発生する。つまり、解像度と感度&S/Nの間には、トレードオフの関係があった。

【0005】MOS型固体撮像装置にも上記の問題が存在する。さらに、MOS型固体撮像装置には、固定パターン雑音などの、CCD型固体撮像装置では特に問題になっていない新たな問題が発生する。

【0006】上記固定パターン雑音を解決する1つの方法として、増幅型トランジスタを用いた固体撮像装置がいくつか提案されている。その1つの例を図27に示す。これは、ハイネセックにより提案された、特許及び文献を引用したものであり、相関2重サンプリング回路（CDS回路）を搭載した、増幅型固体撮像装置の例である。

【0007】図27は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。フォトダイオード1（1-1-1, 1-1-2, ..., 1-3-3）の検出信号を増幅する増幅トランジスタ2（2-1-1, 2-1-2, ..., 2-3-3）、信号を読み出すラインを選択する垂直選択トランジスタ3（3-1-1, 3-1-2, ..., 3-3-3）、信号電荷をリセットするリセットトランジスタ4（4-1-1, 4-1-2, ..., 4-3-3）からなる単位セルが行列2次元状に配列されている。なお、図では3×3個のセルが配列されているが、実際にはこれより多くの単位セルが配列されている。

【0008】垂直シフトレジスタ5から水平方向に配線されている水平アドレス線6（6-1, 6-2, 6-3）は垂直選択トランジスタ3のゲートに接続され、信号を読み出すラインを決めている。同様に、垂直シフトレジスタ5から水平方向に配線されているリセット線7（7-1, 7-2, 7-3）は、リセットトランジスタ4のゲートに接続されている。増幅トランジスタ2のソースは列方向に配置された垂直信号線8（8-1, 8-2, 8-3）に接続され、その一端には負荷トランジスタ9（9-1, 9-2, 9-3）が設けられている。

【0009】垂直信号線8の他端には、クランプ容量10（10-1, 10-2, 10-3）、クランプトランジスタ11（11-1, 11-2, 11-3）、サンプルホールドトランジスタ12（12-1, 12-2, 12-3）、サンプルホールド容量13（13-1, 13-2, 13-3）からなる雑音除去回路が接続されている。そして、この雑音除去回路は、水平シフトレジスタ19から供給される選択パルスにより駆動される水平選択トランジスタ14（14-1, 14-2, 14-3）を介して水平信号線17に接続されている。

【0010】図28は、このデバイスの動作を示すタイミングチャートである。水平アドレス線6-1をハイレベルにするアドレスパルス601を印加すると、このラインの垂直選択トランジスタ3のみONし、このラインの増幅トランジスタ2と負荷トランジスタ9でソースホロア回路が構成される。そして、増幅トランジスタ2のゲート電圧、即ちフォトダイオード1の電圧とほぼ同等の電圧が垂直信号線8に現れる。このとき、クランプトランジスタ11のゲートにクランプパルス602を印加し、クランプトランジスタ11をONし、クランプノード（垂直信号線）15をクランプ電源24と同じ電圧に固定する。

【0011】次いで、クランプトランジスタ11をOFFした後、リセット線7-1をハイレベルにするリセットパルス603を印加し、リセットトランジスタ4をONして信号電荷をリセットする。すると、クランプノード15には、クランプ容量10にフォトダイオード1の電荷があるときと信号電荷がリセットされたときの電圧の差が加算された電圧が現れる。

【0012】次いで、サンプルホールドトランジスタ12のゲートにサンプルホールドパルス604を印加し、サンプルホールドトランジスタ12をONし、この信号をサンプルホールド容量13に伝達する。その後、水平シフトレジスタ19から水平選択パルス605, 606, 607, ...を水平選択トランジスタ14に順次印加し、水平信号線17から1ライン分の信号を順次取り出す。

【0013】この動作を次のライン、その次のラインと順次続けることにより、2次元状全ての信号を読み出すことができる。

【0014】このデバイスでは、クランプノード15には最終的には信号があるときとリセットされ信号がないときの差の電圧が現れるため、増幅トランジスタ2のしきい値ばらつきによる雑音が抑圧されるという特徴がある。即ち、クランプ容量10、クランプトランジスタ11、サンプルホールドトランジスタ12、及びサンプルホールド容量13からなる回路がノイズキャンセラとして作用する。この回路を用いないと、フォトダイオード1の電位が同じでも増幅トランジスタ2のしきい値電圧のばらつきが垂直信号線8に現れるため、しきい値電圧のばらつきに対応する2次元状の雑音（固定パターン雑音と呼ぶ）が現れてしまう。

【0015】ところで、この種の装置においてはクランプ容量10は一般に、垂直信号線8の容量Cvと同等又はそれより大きく設計する。信号は垂直信号線8に直列に挿入されているクランプ容量10を通して伝達されるため、この容量が小さいと信号が減衰してしまい、このデバイスの特徴である電荷増幅の効果がなくなるためである。そのため、セルの増幅トランジスタ2は垂直信号線8の容量だけでなく、大きな容量値を持つクランプ容量10を駆動する必要がある。

【0016】しかし、前述した信号があるときとリセット直後の信号のないときの差を取る雑音抑圧にかかる時間が十分にあるときは問題ないが、実際のテレビ信号を供給する場合は水平ブランキング期間内に雑音抑圧を行う必要がある。ブランキング期間はNTSC方式では10.9マイクロ秒、ハイビジョン方式では3.77マイクロ秒である。このような短い水平ブランキング期間内で、大きいクランプ容量10を小さいセル内の増幅トランジスタ2で駆動し、確実に雑音を抑圧するのは難しい。

【0017】以上の問題は、インターライン型（IT型）に限らず、フレームトランスファ型（FT型）や、フレームインターライントランスファ型（FIT型）の固体撮像装置や、ラインセンサー型の固体撮像装置にも共通の問題である。またフォトダイオード部を赤外線を感知できるものに適用したときも、同じく共通する問題がある。

【0018】（従来技術2）また、上記の雑音除去回路を用いても、固定パターン雑音を発生させる箇所が存在する。即ち、複数の垂直信号線に1組の雑音除去回路が接続されているために、雑音除去回路自身のばらつきが出てしまう。

【0019】例えば、クランプトランジスタ11のゲートとソース・ドレイン領域のカップリングノイズが異なれば、垂直信号線15の電圧がばらついてしまう。そのばらつきの大きさは、垂直信号線15の蓄積容量90（90-1, 90-2, ...）Csdlが約0.5pF、クランプトランジスタ11のゲート・ソース間のカップリングノイズのばらつきをdCgsが約0.2fF（ト

ランジスタのゲート容量は約1fF、その20%がばらつくものと仮定する）とすると、

$$dCgs/Ccdl = 0.2fF/0.5pF = 1/2500$$

の割合で、リセット振幅電圧が1Vであれば、 $1 \times (1/2500) = 0.4mV$ の大きさのばらつきが存在することになる。

【0020】また同様に、水平選択トランジスタ14（14-1, 14-2, ...）のゲート14とソース16間の容量Cgs2もまたばらつくことになる。このばらつきは、各垂直信号線に各々一つのトランジスタが接続されているものには、必ず存在してしまう。

【0021】（従来技術3）また、従来の固体撮像装置においては次のような問題もあった。即ち、各フォトダイオードの信号の読み出し動作は、少なくとも1つのフォトダイオード毎に選択出力回路を介し、各フォトダイオードの信号値を個別に読み出し動作を行っていた。このため、フォトランジスタ毎に異なる出力回路の個別のしきい値ばらつきが各信号に独立して加算され、固定パターン・ノイズとなる。

【0022】さらに、出力回路の信号読み出しノードを各フォトダイオードの信号電荷を読み出す毎にリセットしていた。このため、リセットに伴うkTCノイズがフォトダイオード毎にランダムに現れ、リセット雑音を含むS/Nの悪い像になる。

【0023】また、フォトダイオードで電荷に変換された信号を1水平ライン毎に一時的に各キャパシタに読み出し、1水平ラインのキャパシタに対して共通のプレート電極を有し、このプレート電極に読み出し選択読み出しを行う方式のセルで、キャパシタの配置は選択駆動配線と異なる位置に設けていた。その結果、キャパシタ配置のための面積が別途専有され、有効光電変換領域の損失があった。

【0024】また、選択キャパシタを選択線と異なる位置に配置しているため、単位セル内に配線とは別途に選択キャパシタの形成領域を必要とした。さらに、選択線と対をなす選択キャパシタ電極を選択兼増幅トランジスタのゲート・ノードに接続するための配線領域を必要とした。

【0025】

【発明が解決しようとする課題】

（課題1）このように従来、増幅型MOSセンサを用いた固体撮像装置においては、セルの微細化により取扱信号電荷量が減少し、ダイナミックレンジが低下するという問題があった。

【0026】本発明は、上記事情を考慮して成されたもので、その目的とするところは、微細化セルを形成する上で重要となるS/N比を大幅に向上させ、被写体の低周波信号成分の信号を増加させる固体撮像装置を提供することにある。



【0027】（課題2）このように従来、増幅型MOSセンサを用いた固体撮像装置においては、固定パターン雑音を除去するための雑音除去回路を設けると、この雑音除去回路自身が持っているばらつきが雑音源となる問題があった。

【0028】本発明は、上記事情を考慮して成されたもので、その目的とするところは、雑音除去回路自身が持っているカップリングノイズやトランジスタのチャンネルで発生する分割ノイズを抑制することができる固体撮像装置を提供することにある。

【0029】（課題3）このように従来、増幅型MOSセンサを用いた固体撮像装置においては、フォトダイオード毎に個別の選択出力回路を介して読み出し動作を行うため、フォトトランジスタ毎に異なる出力回路の個別のしきい値ばらつきが各信号に独立して加算され、固定パターン・ノイズとなる。さらに、1つのフォトダイオードの信号電荷を読み出す毎に出力回路をリセットしていたため、リセットに伴うkTCノイズがフォトダイオード毎にランダムに現れ、リセット雑音を含むS/Nの悪い像になる。

【0030】また、従来の信号主力方式では、単体フォトダイオードなるセンサから構成される領域毎の信号を、個々の領域毎の信号出力回路から読み出す出力方式が取られていなかったため、各出力回路に由来する固有の雑音相当の信号を、前記領域の出力信号に対して補正バイアス信号を加算する概念がなかった。

【0031】本発明は、上記事情を考慮してなされたもので、その目的とするところは、信号成分を出力回路の雑音成分より十分高く成るようにしてS/N比の高い信号を得ることにある。また、出力回路をリセットせずに同一の回路から信号電荷を順次加算読み出しを行い、順次加算して読み出しされた信号をダブル・サンプリングして増加分を求め、その差分値を各フォトダイオードの信号値とし、雑音成分のない信号を得ることにある。

【0032】また、最初に読み出し動作されたフォトダイオードからは雑音信号が完全に除去されないため、最初に読み出されたフォトダイオードを囲むフォトダイオードの平均値でそのフォトダイオードの信号値を置換し、雑音成分が大きい信号を除去することにある。また、選択キャパシタの配置をこのキャパシタのプレート電極の配線と平行に形成する事で、配線領域をキャパシタにして有効に活用し、かつ選択キャパシタの一方の電極を選択兼増幅するトランジスタのゲート電極と兼ねる構造にすることで電極層形成工程を1つ短縮することにある。

【0033】

【課題を解決するための手段】

（構成）上記課題を解決するために本発明は、次のような構成を採用している。

【0034】即ち、本発明（請求項1）は、半導体基板

上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記撮像領域に隣接して加算機能を持つノイズキャンセラ領域が形成され、該領域に、複数行分の信号を蓄積するための複数の水平メモリを持つことを特徴とする。

【0035】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0036】(1) 複数の水平メモリは、読み出したN行目の信号とN-1行目及びN+1行目などの数行分の信号を蓄積するものであること。

【0037】(2) 複数の水平メモリは、単位セル内部の増幅トランジスタのしきい値を補正する、ノイズキャンセラ回路を兼ねていること。

【0038】(3) 1本の垂直信号線の他方には、複数のノイズキャンセル回路が接続されており、このノイズキャンセル回路の複数の出力信号が加算されること。

【0039】(4) 複数の分割される垂直信号線には、増幅トランジスタのゲートに印加されている信号電荷を読んだ時の垂直信号線の電圧の値と、増幅トランジスタのゲートに印加されている信号電荷をリセットしたときの垂直信号線の電圧の値の、2種類の電圧値をメモリできる機能を備えていること。

【0040】また、本発明（請求項2）は、半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記複数の垂直信号線にクランプ容量とトランジスタがそれぞれこの順序で接続され、各々のトランジスタの他方は共通信号線に接続され、信号電荷を蓄積するためのサンプルホールド容量が共通信号線に接続され、この共通信号線を用いて加算の演算をアナログ状態で行うことを特徴とする。さらに、垂直信号線のリセット時の電圧と前記共通信号線のリセット時の電圧とは、同一か或いは共通信号線の電圧が大きいことを特徴とする。

【0041】また、本発明（請求項3）は、半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線と

を備えた固体撮像装置において、前記複数の垂直信号線には第1の容量が並列にトランジスタが直列に、それぞれこの順序で接続され、各々のトランジスタの他方は共通信号線に接続され、信号電荷を蓄積するための第2の容量が共通信号線に接続され、この共通信号線を用いて加算の演算をアナログ状態で行うことを特徴とする。

【0042】また、本発明（請求項4）は、半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線と、撮像領域に隣接して形成される加算機能を持つノイズキャンセラ領域とを備えた固体撮像装置において、N行M列のセルの信号は、N行M列のセルからの信号を含んで、行方向及び列方向に複数存在するセルの信号の演算（例えば重み付き加算など）により、作られることを特徴とする。

【0043】また、本発明（請求項5）は、半導体基板上に、光信号を信号電荷に変換する光電変換部と少なくとも1つのトランジスタからなる単位セルを行列2次元状に配置してなる撮像領域と、撮像領域の読み出し行を選択する手段と、選択された行の光電変換部の検出信号を取り出す複数の垂直信号線と、これらの垂直信号線に水平選択トランジスタを介して接続された水平信号線とを備えた固体撮像装置において、前記垂直信号線を、それぞれ複数の第2垂直信号線に分割した構造を有することを特徴とする。

【0044】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0045】(1) 複数の第2垂直信号線とこれらに隣接する複数の第2垂直信号線を用いて、第3の垂直信号線を形成する回路構成を有すること。

【0046】(2) 第1、第2、第3の垂直信号線から形成された、水平信号線に出力される垂直信号線の本数は、第1の垂直信号線の本数よりも多いこと。

【0047】(3) 第2垂直信号線と第3垂直信号線の一部の信号は、隣接する複数の第2垂直信号線の演算（加算や減算、重み付き加算など）により、形成されること。

【0048】(4) 中央に配置している第2垂直信号線と、片側に隣接する第2垂直信号線と、もう一方に隣接する第2垂直信号線の3本の第2垂直信号線から、感度を増加させた第3垂直信号線を形成すること。

【0049】(5) 垂直信号線の他方は複数の容量の1つの端子に接続しており、複数の容量の他方の端子に複数の第2垂直信号線が接続されていること。

【0050】(6) 垂直信号線の他方は複数のトランジスタのゲートに接続されており、トランジスタのソース或

いはドレインが第2垂直信号線を形成している、回路構成を有すること。

【0051】(7) 同じ色信号を有する垂直信号線から第2垂直信号線を形成し、同じ色信号を有する複数の第2垂直信号線から第3垂直信号線を形成すること。

【0052】(9) 第2垂直信号線から、加算、重み付け加算、減算回路を用いて、色フィルタを含む画素配置から決定されるナイキスト周波数以上の信号を読み出すこと。

【0053】(10) 第2垂直信号線や第3垂直信号線の一部は、増幅トランジスタのしきい値ばらつきなどにより発生する固定パターン雑音を低減する、ノイズキャンセル回路により形成されていること。

【0054】また、本発明（請求項6）は、基板半導体上に2次元状に配置されたフォトダイオードと、これらのフォトダイオードに対し一方の信号端が接続された読み出しトランジスタと、複数の読み出しトランジスタの他方の信号端に制御端が共通接続された増幅兼選択トランジスタと、増幅兼選択トランジスタの制御端に一方の電極が接続された選択キャパシタと、選択キャパシタの信号をリセットするためのリセットトランジスタと、少なくとも一列の水平配列の選択キャパシタに対して設けられた共通プレート電極とを備えた固体撮像装置であって、前記選択兼増幅トランジスタの制御端に結合した複数の読み出しトランジスタの制御端に、選択的に読み出しパルスを印加し、任意のフォトダイオードの信号を読み出し加算後、平均化して出力することの特徴とする。

【0055】ここで、本発明の望ましい実施態様としては次のものがあげられる。

【0056】(1) 読み出しトランジスタ、増幅兼選択トランジスタ及びリセットトランジスタは、MOSトランジスタである。

【0057】(2) フォトダイオードで蓄積した信号電荷を、読み出しトランジスタの1つのゲートに読み出しパルスを印加して選択兼増幅トランジスタのゲートノードに読み出した後、選択キャパシタに選択パルスを印加して選択兼増幅トランジスタのゲートノードに乗った信号電荷を周辺のサンプルホールド回路へ読み出し、その後同一フィールド内で選択兼増幅トランジスタのゲートノードに対し結合した異なるフォトダイオードの信号電荷を順次読み出す固体撮像装置であって、周辺回路でサンプルホールドされた最初の信号電荷と順次読み出された信号との差分を、順次読み出されるフォトダイオードの信号として出力すること。

【0058】(3) 選択キャパシタの配置が、この選択キャパシタの共通プレート電極配線に対して平行に配置されたこと。

【0059】(4) 増幅兼選択トランジスタのゲート電極が、選択キャパシタの一方の電極を兼ねること。

【0060】また、本発明（請求項7）は、フォトダイ

オードを2次元配列した撮像部を、3個以上のフォトダイオードから成る配列の撮像領域に多分割し、各撮像領域毎に信号電荷を出力する1つの個別の回路を有し、かつ信号電荷をリセットせずに順次加算し、加算毎に外部回路に読み出し動作を行う固体撮像装置において、個別の前記出力回路から順次加算読み出しされた信号から、各加算信号の出力の増加分を一出力前に読み出した信号値との差分として抽出する回路を有し、かつ各フォトダイオードの信号値をこの順次加算読み出しされた信号値からの前記差分で置き換えることを特徴とする固体撮像装置。

【0061】より望ましくは、最初に読み出す信号の画素を隣接2画素とせず、かつ最初に読み出した画素の上下左右の隣接4画素の少なくとも2画素の信号が、設定する信号差より少ない場合、隣接2画素の信号値の平均値で、最初に読み出した信号を置き換える。

【0062】また、本発明(請求項8)は、単位センサを2次元配列した2次元センサ部が、3個以上の単位センサを有するセンサ領域に多分割され、各センサ領域毎に個別の信号出力回路を有する固体撮像装置であって、前記センサの中心領域の信号を基準とし、前記出力回路から読み出しされた信号が、各領域を囲む隣接する全ての境界領域で、境界両側の信号値と信号値の微分値が連続的に変化するように、各領域毎の信号にバイアスを加算させ、かつ前記加算バイアスにより信号の微分値の差が境界両側で最小となるように制御することを特徴とする。

【0063】(作用1)本発明によれば、複数のセルの検出信号を加算することにより、セルに入射する信号が減少しても、従来よりも $S/N$ 比が向上した信号を取り出すことができる。従って、微細化セルを形成する上で重要となる $S/N$ 比を大幅に向上させ、被写体の低周波信号成分の信号を増加させることが可能となる。

【0064】(作用2)また本発明によれば、次の3つの効果を得ることができる。第1の効果は、隣接する複数の第2垂直信号線の信号の演算により、画素配列により決定されるナイキスト周波数以上の信号を得る、即ち高解像度を得ることができる点にある。第2の効果は、隣接する複数の第2垂直信号線との加算により、高い $S/N$ と、高感度を持った信号を得ることができる。即ち、フォトダイオードの実効的な開口率を高めることができる。第3の効果は、少ないセル数でも、画素配列により決定されるナイキスト周波数以上の信号電荷を形成できるので、高画素数を持った固体撮像装置を、簡単な回路構成で形成できる点にある。

【0065】(作用3)また本発明によれば、外部回路により決められる任意の隣接する数画素の信号電荷を同じ出力回路に加算して読み出しをすることで、選択兼増幅回路固有の電気特性のばらつきに由来する信号雑音成分の割合を下げ、加算された画素の信号電荷の平均値を

各画素の信号値とすることで高い $S/N$ の信号出力得ることができる。また、隣接画素を加算すると解像度が劣化するが、加算画素数を外部回路により任意に設定することにより、利用者が高解像と高 $S/N$ を選択して目的又は撮像される領域に応じて任意に設定できる。

【0066】また、数画素毎に信号電荷を同じ選択兼増幅回路から読み出し、各画素の信号値を最初に読み出した信号からの差分として信号を取り出すことにより、各選択兼増幅回路固有の電気特性のばらつきに由来する信号雑音成分を、2画素以降の読み出し信号から除去できる。また、最初に読み出した信号電荷が、選択兼増幅回路固有の雑音成分を含むため、撮像される像が平坦な領域では雑音除去された隣接画素の平均値で信号を置き換え、解像度を保ちながら $S/N$ 比の高いなめらかな像が得られる。

【0067】また、選択キャパシタを、選択線となるプレート電極の配線と平行に配置する事で、選択線の配線領域はキャパシタ領域として有効に活用できる。そのため、セル当たりの有効受光面積は従来の配置に比べて広めることができる。また、選択読み出しキャパシタの一方の電極を選択トランジスタのゲート電極とし、選択トランジスタと一体化することで、キャパシタの電極形成工程が省略できるために工程の削減が可能となる。

【0068】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0069】図1は、本発明の第1の実施形態に係わる固体撮像装置を示すブロック図である。この例は、2行3列の場合であるが、実際はもっと多くの行列からなる。

【0070】単位セル107は、フォトダイオード101、増幅トランジスタ102、選択トランジスタ103、リセットトランジスタ104からなる。本実施形態は、図1のセル構成以外にも適用できる。

【0071】各行は垂直シフトレジスタ125からの選択信号108(108-1, 108-2, 108-3, ...)により選択される。単位セル107は選択トランジスタ103、増幅トランジスタ102、負荷トランジスタ111(111-1, 111-2, 111-3, ...)により、ソースフォロア回路を形成しており、垂直信号線106(106-1, 106-2, 106-3, ...)に出力電圧が読み出される。

【0072】垂直信号線110(110-1, 110-2, 110-3, ...)は、増幅トランジスタのしきい値ばらつきを補正するノイズキャンセラ116(116-1, 116-2, 116-3, ...)及び117(117-1, 117-2, 117-3, ...)に、分割して接続されている。このノイズキャンセラ116及び117の出力118及び119は、加算回路120(120-1, 120-2, 120-3, ...)に入力され、加算さ

れて水平信号線123に出力される。どの列を選択するかは、水平シフトレジスタ124により選択される。

【0073】本実施形態は、垂直信号線のN行M列の信号 $Q_{nm}$ を、ノイズキャンセラ116及び117でノイズキャンセルし、再度加算回路120でアナログ信号として加算することにより、 $S/N$ の高い信号を得ることができる。この実施形態の場合、2回の加算なので、1個しかない場合よりも3dB（デシベル）の $S/N$ の向上が得られる。また、加算回数を増加させれば、さらに $S/N$ の向上が可能となる。

【0074】（第2の実施形態）図2は、本発明の第2の実施形態に係わる固体撮像装置を示すブロック図である。単位セル107（107-1-1, 107-1-2, …）の信号は、垂直信号線110（110-1, 110-2, 110-3, …）により外部に伝達され、加算機能付きノイズキャンセラ126（126-1, 126-2, 126-3, …）に入力される。

【0075】この場合、図1と異なり、ノイズキャンセラが1個だけでも加算を行うことができる。この加算機能は、1H期間は何回行ってもよく、N回の加算により3NdB（デシベル）の $S/N$ の向上ができる。この加算機能付きノイズキャンセラ126（126-1, 126-2, 126-3, …）の出力は、水平シフトレジスタ124からの選択信号122（122-1, 122-2, 122-3, …）により順次選択されて、水平信号線123に読み出される。単位セルの構成は、図1でもその他の回路構成でもよく、垂直信号線110に信号を読み出す構成であれば、別のセル構成でもよい。

【0076】（第3の実施形態）図3に、図2の加算機能付きノイズキャンセル回路の一例を示す。垂直信号線110-1は、信号選択トランジスタ127-1及び131-1に接続されている。読み出し時の垂直信号線の信号は、信号線選択トランジスタ127-1を介して容量128-1に蓄積される。また、セル信号のリセット時の垂直信号線の信号は、他の信号線選択トランジスタ131-1を介して容量132-1に蓄積される。即ち、垂直信号線の2種類の信号を、容量128-1と132-1に蓄積する。

【0077】信号読み出し時にはトランジスタ129-1を選択し、さらに注入トランジスタ185-1を“H”にすることによって、共通信号線145-1をクランプする。その後、注入トランジスタ185-1をOFFし、トランジスタ133-1をONすることによって、セル信号のリセット信号を共通信号線145-1に読み出す。共通信号線145-1に読み出された信号は、サンプルホールドトランジスタ136-1をONすることによって、容量137-1に蓄積される。

【0078】このように、2つの垂直信号線110-1の信号を交互に読み出す、クランプ動作と読み出し動作を交互に行うことによって、蓄積容量137-1に加算

を行うことができる。この加算された信号は、水平選択トランジスタ138-1につながる水平選択線122-1をONすることによって、水平信号線123に読み出される。

【0079】（第4の実施形態）図4に、別の加算回路の例を示す。図3と同様に、垂直信号線110-1の読み出し時の信号と、増幅トランジスタのゲート信号のリセット動作時の信号が、それぞれ容量151-1と158-1に蓄積される。この容量151-1及び158-1に蓄積された信号は、リセットしない限り蓄積されている。

【0080】ノイズキャンセル動作は、以下のように行う。注入トランジスタ168-1をONすることによって、容量170-1に電荷を蓄積しておく。信号選択トランジスタ153-1をONすることによって、信号読み出し時の電圧を共通信号線164-1に読み出す。共通信号線164-1はスライストランジスタ171-1のゲートに接続されているので、スライス容量170-1の制御線167-1に電圧を印加することによって、スライス動作を行う。このとき不要となる電荷は信号線172-1に読み出され、リセットトランジスタ174-1によりリセットされる。

【0081】次に、セル内部の増幅トランジスタのゲートをリセットした信号を、選択トランジスタ160-1をONすることによってスライストランジスタ171-1のゲートに伝達する。このときさらに、スライス容量170-1の制御線167-1をONすることにより、垂直信号線の信号電圧のみの変化分を取り出すことができる。このようなスライス動作により、ノイズキャンセル動作を行うことができる。

【0082】ノイズキャンセル後の信号は、サンプルホールドトランジスタ179-1をONすることにより、蓄積容量181-1に蓄積される。加算が複数回であれば、上記の動作がHのブランキング期間にN回繰り返され、水平シフトレジスタからの制御信号122-1をONすることによって、水平信号線123に読み出される。

【0083】（第5の実施形態）図5に、別の加算回路の例を示す。これは、図1に示すようなノイズキャンセル回路が複数個（この場合は2個）ある場合の例である。動作は、次の通りである。同じ垂直信号線110-1から2つの垂直信号線110-1-1と110-1-2が形成される。この2つの垂直信号線は、それぞれ図3に示したような動作を行う。

【0084】垂直信号線110-1からの信号は垂直信号線110-1-1と110-1-2に分離されて、クランプ容量130-1と134-1に伝達される。このとき、クランプトランジスタ194-1と195-1は同時にONされ、信号線196-1と197-1は同じ電位191-1でクランプされる。

【0085】クランプ動作が終了すると、セル内部の増幅トランジスタのゲート電圧がリセットされ、このリセット動作に対応する信号が垂直信号線110-1-1と110-1-2に伝達され、クランプ容量130-1と134-1を介して、信号線196-1と197-1の電位を押し上げる。この押し上げられた信号は、サンプルホールドトランジスタ198-1と199-1を制御線192-1で同時にONすることによって、サンプルホールド容量201-1に蓄積される。その後、水平選択線204-1により水平選択トランジスタ202-1が選択され、水平信号線123に信号が読み出される。

【0086】(第6の実施形態)図6に、別の加算回路の例を示す。これは、垂直信号線110-1が、110-1-1と110-1-2の2個に分離された場合の、ノイズキャンセル回路に相当し、その駆動は図4と同様である。

【0087】簡単にその動作を説明する。垂直信号線110-1に伝達された信号は、垂直信号線110-1-1と110-1-2の2つに分割される。この分割された信号は同時にスライストランジスタ300-1と301-1に伝達されるので、スライス容量207-1と211-1に蓄えられていた一部の信号電荷は、信号線302-1と303-1に排出される。その後、垂直信号線110-1-1と110-1-2には、セル内部の増幅トランジスタのゲートがリセットされた時に相当する信号が伝達される。その後、さらにクランプ容量207-1と211-1の制御線167-1にパルスを印加することにより、垂直信号線110-1-1と110-1-2の電位変化分に相当する信号が読み出される。

【0088】蓄積容量208-1と212-1に蓄えられた信号電荷は、トランジスタ213-1と214-1を同時にONすることによって、蓄積容量216-1に読み出され、アナログ信号で加算される。加算された信号は、水平選択トランジスタ220-1をONすることによって、水平信号線219-1に読み出される。

【0089】このように加算機能は、図5及び図6のように分割して加算を行っても良いし、1つのノイズキャンセル回路内部で行うこともできる。この方法により、ノイズキャンセル回路内部で取り扱う電荷量が増加し、N回の加算で信号はN倍ノイズは $N^{1/2}$ 倍になり、2回の加算で3dB(デシベル)、3回の加算で9dB(デシベル)、…に $S/N$ 比が増加する。

【0090】(第7の実施形態)図7に、4種類の加算方法を提案し、それに相当するポテンシャル図を示す。これは、前記図5の回路に対応している。

【0091】垂直信号線110-1-1と110-1-2には、セル内部の信号量に対応する電圧変動が現れる。この電圧変動は、クランプ容量130-1と134-1を介して信号線196-1と197-1の電圧を $\phi_2$ から $\phi_1$ へ押し上げる。その信号がサンプルホールド

トランジスタ198-1と199-1を介して、共通信号線200-1に読み出される。

【0092】図7(a)では信号線196-1と197-1の電位 $\phi_2$ と、共通信号線200-1の電位 $\phi_9$ とは同じになっている。そのため、信号線196-1の信号Q1と信号線197-1の信号Q2とは、容量CaとCbとの分割により、 $(Q1+Q2)/(2Ca+Cb)$ の電圧として、共通信号線200-1に現れる。

【0093】図7(b)では、信号線196-1と197-1の電位 $\phi_4$ と共通信号線200-1の電位 $\phi_{11}$ に電位差が形成されている。この方法により、 $Ca < Cb$ であれば、全ての信号 $(Q1+Q2)$ が共通信号線200-1に読み出すことが可能となる。

【0094】図7(c)に、他の実施形態を示す。この方法では、共通信号線200-1の電位 $\phi_{13}$ と信号線203-1の電位 $\phi_{14}$ に電位差が形成されているので、共通信号線200-1の信号線を、殆ど全て信号線203-1に読み出すことができる。

【0095】図7(d)には、他の実施形態が示されている。信号線196-1と197-1の電位 $\phi_8$ と、共通信号線200-1の電位 $\phi_{15}$ と、信号線203-1の電位 $\phi_{16}$ には、それぞれ電位差が作られており、セル側に近い信号Q1とQ2が、読み出しやすくなっている。

【0096】以上の方法を使用すると、図8に示すように1Hメモリをノイズキャンセル回路で行うことが可能となる。垂直信号線110-1の信号は、230-1と231-1の2つに分割されている(2個以上に分割できるが、説明の簡単化のためにここでは2個に分割した例を考える)。N行目の信号は、ノイズキャンセル後に第2のノイズキャンセル回路233に伝達され、このノイズキャンセル回路233に蓄積される。その後、(N-1)行目の信号が読み出され、第1のノイズキャンセル回路232に蓄積される。そして、この2つの信号が、加算回路或いは減算回路234で信号処理され、水平信号線123に出力される。

【0097】このように本実施形態によると、1Hメモリ或いはそれ以上の数Hメモリをノイズキャンセル回路で行うことができるので、信号処理動作を、イメージ部に隣接するノイズキャンセル回路部分で行うことができる。

【0098】(第8の実施形態)図9に、上記の水平の加算動作と垂直の加算動作から新しい信号を形成する方法を示す。図にはN行M列の信号 $M_n, m$ (240)と、水平の両側に隣接する信号 $M_n, m-1$ (243)及び $M_n, m+1$ (244)、垂直の上下に隣接する信号 $M_{n-1}, m$ (241)と $M_{n+1}, m$ (242)の5つの信号の、加算信号或いは重み付き加算信号を、N行M列の新しい信号とする方法である。

【0099】(第9の実施形態)図10は、図9をもっ

【0104】光信号は、光電変換部であるフォトダイオード1（1-1-1、1-1-2、…）において、電子  
30 或いはホール電荷に変換されて蓄積される。この蓄積された信号電荷は、垂直シフトレジスタ5からの選択信号6（6-1、6-2、…）によって選択された行の、増幅トランジスタ2（2-1-1、2-1-2、…）によって増幅され、垂直信号線8（8-1、8-2、…）に読み出される。垂直信号線8-1（例えば例として8-1の行を考えると）の他方の終端には、26-1、27-1の並列に分割した垂直信号線により、複数のクランプ容量10-1、20-1、40-1が接続されている。

【0105】この実施形態では3個が並列であるが、本  
40 発明は3個のみを限定しているわけではなく、2個、4個、5個などのように、もっと増やすことが可能であり、その方が効果がある。

【0106】クランプ容量10-1、20-1、40-1の他端には、第2垂直信号線15-1、28-1、41-1が形成されている。各クランプ容量は、それぞれセル信号の雑音を取り去るノイズキャンセラ回路の一部を構成している。

【0107】このような回路構成の動作は、次の通りである。フォトダイオード1-1-1からの信号を読んで  
50

直信号線から複数の垂直信号線を形成することにより、1本の垂直信号線に対して複数の出力を得ることができる。これによって、1本の垂直信号線からの信号を、複数本（この場合は3本）取り出すことができるようになる。これによって、外部回路で信号の処理を行うことができる。

【0111】ここで、クランプトランジスタのゲート23、37、50とドレイン24、38、51は、共に共通に接続できる。また、サンプルホールドトランジスタのゲート22、39、52もまた同一の信号で駆動できるので、回路動作が簡単になる。

【0112】（第12の実施形態）図13は、本発明の第12の実施形態に係わる固体撮像装置を示す回路構成図である。

【0113】この例では、第1の垂直信号線8-1（垂直信号線8は複数あるが、ここでは8-1の垂直信号線で代表する）の信号が、8-1と26-1、27-1の3本に分割される。この分割された垂直信号線の信号は、クランプ容量20-1、40-1に伝達される。即ち本実施形態は、垂直信号線8-1の信号が2つの第2垂直信号線28-1、41-1に伝達されることに特徴がある。

【0114】路動作は、クランプ容量20-1、40-

19

1とクランプトランジスタ30-1、43-1、サンプルホールドトランジスタ31-1、44-1、サンプルホールド容量33-1、46-1からなり、CDS回路を構成している。

【0115】この回路構成の特徴は、第2の垂直信号線15-2からの信号と第2の垂直信号線41-1からの信号の、隣接する2本の信号線から新しい第3の垂直信\*

$$Q_{32-1} = dV \times (C_g + C_b + C_c) \quad \dots (1)$$

$$Q_{45-1} = dV \times (C_d + C_h + C_a + C_f) \quad \dots (2)$$

となる。

【0117】このように、 $C_g + C_b + C_c = C_d + C_h + C_a + C_f$ となるように、設計することによって、画素信号線55-1、55-2と同じ感度と高解像度を持った信号56-1を形成できる。

【0118】このような回路構成は、セル配列により決定するナイキスト周波数以上の空間解像度を得ることができる。このとき、隣接する第1垂直信号線8-1と8-2の信号加算の比を最適にすることにより、空間解像度をさらに上昇させることができる。

【0119】(第13の実施形態)図14は、本発明の第13の実施形態に係わる固体撮像装置を示す回路構成図である。

【0120】この実施形態では、隣接する3本の垂直信号線の加算により、ショットノイズを低減させた高感度の固体撮像装置を得ることができる。第1の垂直信号線8-2の出力信号60-2を、隣接する第1の垂直信号線8-1と8-3から作るために、実効的な開口面積を3倍に出来る。即ち、高いS/N比を持った固体撮像装置が提供できる。

【0121】この実施形態の動作原理を簡単に説明する。垂直信号線8-2、8-1、8-3に対応した信号が、第2垂直信号線の蓄積容量 $C_{m29-2}$ 、 $C_{n47-1}$ 、 $C_{j25-3}$ と、クランプ容量 $C_{i20-2}$ 、 $C_{l40-1}$ 、 $C_{o10-3}$ の容量に蓄積される。この蓄積された信号は、サンプルホールド信号215、218、212によって、サンプルホールド容量 $C_{k33-2}$ に転送される。

【0122】このとき、サンプルホールド容量 $C_{k33-2}$ が他の容量と比較して大きな値を持っているので、3本の垂直信号線28-2、41-1、320-3に蓄積されていた信号は、サンプルホールド容量 $C_{k33-2}$ に加算されて蓄積される。この信号は、水平選択トランジスタ58-2にON信号を与えることによって、水平信号線61に読み出される。

【0123】このように、第3の垂直信号線32-2の蓄積容量 $C_{k33-2}$ が大きいために、電圧領域ではあまり変化がなくても、信号電荷量は加算されることになる。このように、第2及び第3の垂直信号線に接続されている蓄積容量 $(C_l + C_n)$ 、 $(C_i + C_m + C_k)$ 、 $(C_o + C_j)$ の比を最適化することによって、

20

\*号線45-1を作ることにある。このとき、クランプ容量25-2の容量 $C_a$ とクランプ容量42-1の容量 $C_d$ の容量は、他の第2垂直信号線28-1の容量 $C_b$ と変えておく。

【0116】そうすると、第3の垂直信号線32-1、45-1の信号電荷量 $Q_{32-1}$ 、 $Q_{45-1}$ は、

10 信号電荷量領域で加算ができることになる。

【0124】以上のことは、電圧領域でも行うことができる。一例として、上記容量 $(C_i + C_m)$ よりも、

$(C_l + C_n)$ 及び $(C_o + C_j)$ を小さく設定することによって、電圧領域での加算もできる。しかし、プロセス上の作り安さの点では、信号電荷領域での加算が望ましい。ここで、第1の垂直信号線8-2は、クランプ容量10-2、20-2、40-2の3本に分かれているが、3本に限らず5本でもよい。また、駆動信号は、クランプトランジスタ制御信号310、313、316、サンプルホールド制御信号312、315、318、及びクランプトランジスタドレイン311、314、317は、共に共通にできる。またその方が、制御信号端子が減少できるので、より簡単に駆動できる。

【0125】(第14の実施形態)図15は、本発明の第14の実施形態に係わる固体撮像装置を示す回路構成図である。この例では、前記図12から図14のCDS回路を持ったノイズキャンセラ方式と違うノイズキャンセル回路を用いている。

【0126】動作原理を簡単に説明する。垂直信号線8-2の信号は、センストランジスタ86-2、76-2、93-2の3本に分割されて、信号が伝達される。垂直信号線8-1、8-3も同様である。

【0127】蓄積容量89-2、78-2、96-2には信号電荷が蓄えられており、センストランジスタの信号がある場合とない場合の差の信号電圧を読み出す。この差電圧に対応した信号電荷が、蓄積容量92-2、82-2、99-2に読み出される。即ち、第2垂直信号線81-2には、隣接する第2垂直信号線97-1、91-3が接続されているので、隣接する3画素分の信号が加算されることになる。

【0128】この加算された信号電荷は、水平シフトレジスタ19からの選択信号を受けて、蓄積容量82-2から水平選択トランジスタ83-2を通して水平信号線75に読み出される。この場合の例は、第1の垂直信号線8(8-1、8-2、8-3、...)と水平信号線75に読み出される、第2の垂直信号線85(85-1、85-2、85-3、...)の数は、同数となっている。

【0129】この場合も、注入トランジスタ88(88-2、88-3、...)、79(79-1、79-2、...)、95(95-1、95-2、...)の制御信号であ

る 60, 65, 70 は、全て同じにできる。また制御信号線 61, 66, 71、スライス容量 62, 67, 72、リセットトランジスタゲート信号 63, 68, 73、制御信号 64, 69, 74 は、同一に駆動できる。またその方が、駆動が簡単になる。

【0130】(第 15 の実施形態) 図 16 は、本発明の第 15 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0131】この例では、垂直信号線 8-2 の信号を増幅して読み出す第 2 垂直信号線 418-2 と、隣接する画素との加算した信号を読み出す第 2 の垂直信号線 428-2 の、1 つの第 1 垂直信号線に対して、2 本の第 2 垂直信号線が、水平信号線 413 に読み出される。

【0132】例えば、第 2 垂直信号線 428-1 は隣接する第 2 垂直信号線 425-1 からの信号と、もう他方に隣接する第 2 垂直信号線 439-2 の加算信号から、得られるので、隣接する第 1 垂直信号線 8-1 と 8-2 の間の、ナイキスト周波数以上の信号を得ることができる。

【0133】(第 16 の実施形態) 図 17 は、本発明の第 16 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0134】この場合、垂直信号線 8-2 からの信号は、443-2, 26-2, 27-2 の 3 本の信号線に分割されて、伝達される。各々の信号線は、各垂直信号線に対して複数存在するノイズキャンセラ回路に伝達され、各々水平信号線 453, 454, 455 に出力される。即ち、各垂直信号線に対して複数のノイズキャンセル回路 444-2, 445-2, 446-2 を形成することによって、複数の信号を取り出せる。先の実施形態で述べたように、この信号は同じ大きさの信号でなくてもよく、ノイズキャンセラ回路内部の、第 2 及び第 3 垂直信号線に接続される蓄積容量により、変更できる。

【0135】しかし、水平シフトレジスタ 19 からの制御信号 447, 448, 449 は、1 本の垂直信号線に対して 3 本の出力線があるため、ノイズキャンセラ回路の出力線 450, 451, 452 と同数の、3 個の水平選択信号線が必要となる。

【0136】(第 17 の実施形態) 図 18 は、本発明の第 17 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0137】第 1 の垂直信号線 8-2 からの信号は、443-2, 26-2, 27-2 の 3 つに分割されて伝達される。この信号のうち、26-2 の信号はそのまま水平選択トランジスタ 459-2 を介して、水平信号線 466 に読み出される。これ以外に、隣接する 27-1 の信号と 443-2 の信号から、ノイズキャンセラ回路を含む演算回路 457-1 を介して 462-1 の信号が形成される。この信号は、演算回路により、隣接信号の加算や減算、重み付き加算などの演算機能を終えた、信号

が取り出される。この演算回路 457-1 からの演算信号は、水平選択トランジスタ 463-1 を介して読み出される。

【0138】この例では、水平選択信号線 466 が共通となっているが、460 (460-1, 460-2, ...) と 464 (464-1, 464-2, ...) の信号は、2 本の水平選択信号線 466 と 466-1 (図には記載されていない) と、分離して読み出した方がよい。

【0139】(第 18 の実施形態) 図 19 は、本発明の第 18 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0140】この例では、第 1 の垂直信号線 8-2 の信号と、隣接する第 1 垂直信号線 8-1 及び 8-3 の、3 本の第 1 垂直信号線から、演算回路を通した信号を信号線 471-2 に取り出し、水平選択トランジスタ 472-2 を介して水平信号線 475 に読み出す。

【0141】(第 19 の実施形態) 図 20 は、本発明の第 19 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0142】この場合は、単板のカラー用センサーを考えている。例えば、色フィルタ配列として、ベイヤー配列を考える。垂直信号線 8-1, 8-2, 8-3, 8-4, 8-5, 8-6, 8-7, 8-8 には、n 行目には、G B G B G B G B の色信号が順番時並んで出力される。

【0143】このように色フィルタをオンチップした場合、隣接する信号線は色信号が違っている。そのため、演算回路の入力は、同じ色信号を持ったもので構成させなければならない。本実施形態は、隣接する同じ色の第 1 垂直信号線のみを用いて演算を行い、水平信号線 482 に出力するものである。

【0144】(第 20 の実施形態) 図 21 は、本発明の第 20 の実施形態に係わる固体撮像装置を示す回路構成図である。

【0145】この場合は、垂直信号線 8-2 の分割された垂直信号線 483-2 はノイズキャンセル回路を通して出力し、水平選択トランジスタ 530-2 を介して出力し、他の垂直信号線 491-2 は、隣接する 3 つの第 1 垂直信号線の演算信号を読み出す構造となっている。この場合、他方はノイズキャンセル信号を取り出し、他の一方はノイズキャンセル回路つき演算回路を通して取り出している。しかし、両方の信号とも演算処理をして取り出すことにも応用できる。

【0146】(第 21 の実施形態) 図 22 に本発明の第 21 の実施形態に係わる固体撮像装置のセル部の回路構成を示し、図 23 に全体構成を示し、図 24 に周辺回路を含めたセル部の回路構成を示す。また、図 29 にセル部の全体の回路構成を示す。

【0147】選択兼増幅トランジスタ 501 のゲート 502 が信号読み出しノード 504 となり、このノード 5



04に、複数のフォトダイオード510, ~, 514が読み出しゲート515, ~, 519を介してそれぞれ接続されている。選択兼増幅トランジスタ501のドレインはVccドレイン線509に接続され、ソースはソースノード508に接続されている。

【0148】また、ノード504には選択キャパシタ506の一端（読み出しノード電極503）が接続され、キャパシタ506の他端は共通プレート配線507に接続されている。選択兼増幅トランジスタ501のゲートとドレインとの間に、リセットトランジスタ505が接続されている。

【0149】なお、図中の520はソースフォロアトランジスタの結合配線、521はサンプルホールド回路、522はCDS回路、523はサンプリング駆動線、524はCDS駆動線、525は最終信号出力線、526は信号出力回路、527は水平シフトレジスタ、528は垂直シフトレジスタを示している。

【0150】本実施形態の動作を説明する。まず、信号電荷の読み出しに先立ち、選択キャパシタ506のプレート電極配線507を正にすることで、信号読み出しノード504に接続した増幅兼選択トランジスタ501のゲート電極502をオンし、リセットパルス信号をリセットトランジスタ505のゲートに印加することでリセットトランジスタ505をオンし、信号読み出しノード504の電位を一定にする。

【0151】次いで、リセットトランジスタ505によるノード504の信号レベルを初期信号レベルとして周辺回路521でサンプルホールドする。その後、フォトダイオード510, ~, 514で電荷に変換された信号を、外部回路により決められた読み出しゲート515, ~, 519の少なくとも1つをハイ・レベルにしてトランジスタをオンすることにより、信号読み出しノード504に読み出し動作を行ったフォトダイオードの信号を読み出す。

【0152】読み出し終了後、読み出しゲート515, ~, 519をロウ・レベルにしてトランジスタをオフにする。各フォトダイオード510, ~, 514の読み出しゲートがリセット時のレベルに戻った後に、ノード504に乗った各フォトダイオードの信号レベルを周辺回路521でサンプルし、先にサンプルホールドしたリセット信号レベルとの差を得るためのダブル・サンプリング読み出しを行う。

【0153】上記の例において、各フォトダイオードと対応する読み出しトランジスタを同じ構造とし、同一セル内の各フォトダイオードからの信号のばらつきを最少にする。

【0154】（第22の実施形態）図22に本発明の第22の実施形態に係わる固体撮像装置のセルの回路図を示し、図25に本実施形態における回路の駆動パルスを示す。

【0155】まず、信号電荷の読み出しに先立ち、リセットパルス信号をリセットトランジスタのゲート505に印加することでリセット・トランジスタをオンし、信号読み出しノード504の電位を一定にする。このリセットによるノード504の信号レベルを初期信号レベルとして周辺回路521でサンプルホールドする。その後、フォトダイオード512に蓄積された信号電荷を、読み出しゲート517に読み出しパルスを印加することでノード504に読み出す。

【0156】読み出し終了後、読み出しトランジスタのゲート517をオフにする。この読み出しゲートがリセット時のレベルに戻った後に、ノード504に乗った各フォトダイオードの信号レベルを周辺回路521でサンプルし、先にサンプルホールドしたリセット信号レベルとの差を得るためのダブルサンプリング読み出しを行う。

【0157】先にサンプルホールドされた信号との差分をフォトダイオード512の信号レベルとして出力する。最終信号出力線525より信号出力後に加算信号のノード508のレベルをホールドし、以降はリセット動作は行わず、フォトダイオード510に蓄積された信号電荷を、読み出しゲート515に読み出しパルスを印加することでノード504に読み出し、先のフォトダイオード512の信号に加算する。そして、加算された出力信号に伴うノード508のレベルと先のホールドされた信号レベルとの差分をとり、フォトダイオード510の信号レベルとして出力する。

【0158】以下、同じ読み出し動作を残りの画素511, 513, 514に対して順次繰り返して行う。この読み出し動作では、信号値は順次読み出される信号の増加分から抽出され、ノード504の初期リセットレベルのばらつきと選択出力回路固有の製造ばらつきに由来する雑音成分は除去される。

【0159】（第23の実施形態）先に説明した第21, 22の実施形態は図22に示した回路に限定した例であるが本発明は、2次元配列されたフォトダイオードを有する撮像装置で、複数のフォトダイオード毎に共通の出力回路を有する、撮像領域が多分割された撮像装置に適用が可能である。

【0160】以下、撮像装置を例に本実施形態の動作を説明する。つまり、フォトダイオードから信号電荷をMOSトランジスタ、バイポーラトランジスタなどのスイッチング回路を介して出力する撮像装置では、各スイッチング素子の製造ばらつきによって、信号線のリセット動作毎に雑音信号が純粋な元の信号に対して加算される。ここで、各フォトダイオードの信号を共通の出力回路からリセットせずに順次加算して出力することで雑音の含まない信号が得られ、出力回路で増幅された後に順次加算された信号を周辺回路でダブル・サンプリングすることにより、増加分と各フォトダイオードの信号値を

路でサンプルホールドする。次に、信号読み出しノードに特定のフォトダイオードから信号を読み出す。この信号による読み出しノードの信号レベルをサンプルし、先にサンプルホールドされたリセット信号との差をこのフォトダイオードの信号値として得る。

【0162】最初のフォトダイオードの読み出し動作終了後、同一出力回路に結合した別のフォトダイオードの信号を読み出しノードに出力し、先の1回目に読み出された信号に加算する。この信号読み出しノードのレベルを外部回路でサンプルし、先にサンプルホールドされた信号との差をこのフォトダイオードの信号値として得る。この動作を、同一出力回路の結合した他のフォトダイオードに対して順次行う。

【0163】（第24の実施形態）第22、23の実施形態に示した回路において、リセット動作を行わないか又は不完全な場合、最初に読み出されるフォトダイオードの信号にその雑音成分が乗る。この画素に対して隣接する2画素の平均値に比べて差が大きいつき、この画素を隣接画素の信号値でその信号を置換する。

【0164】この動作を可能とするため、リセット動作後に最初に読み出す画素同士は隣接してはいけな

【0165】（第25の実施形態）第21～23の実施形態は撮像手段に限定した例であるが、本発明の動作機能は、2次元配列された単位センサを有する装置で、複数の単位センサ毎に共通の出力回路を有する、センサ領域が多分割された2次元センサ装置に適用が可能である。以下、画像を例に説明する。

【0166】画面全体が微細な絵から構成される特殊な撮像対象物を除き、多くの場合では撮像される画像は統計的に不連続要素よりも連続要素を多く含む。このことを前提に、隣接画素間の信号が統計的に連続になることが多い。そして、（請求項6）のように領域分割した信号出力方式では、各出力回路毎に固有の雑音信号が加算されて出力される。各領域の境界上で、この領域毎の信号に対し同じ量の補正バイアス信号を加算して信号の連続性を持たせる。

【0167】（請求項6）などのように領域分割して複数の単位センサ毎に共通の出力回路から出力した信号のうち、センサ中心の分割領域の出力信号に対し、この領域を取り囲む領域の出力信号と境界両側の各領域で、境界に対して直角方向の少なくとも1本の線上で、2つ以上の画素範囲で信号の微分値を算出する。次に、境界上を含む範囲の信号の微分値が境界両側の信号の微分値の平均値に等しい場合、その隣接画素領域についてはその信号値にバイアス信号の加算を行わない。また、境界上を含む範囲の信号の微分値が各境界内の信号微分値の平

されないか領域間での画像の連続性が得られない場合、境界線の少なくとも半数以上の各境界垂直画素配列に対して上記微分値の算出する。各線での微分値の領域毎と、バイアス加算後の境界上の信号値の微分の平均値を算出し、統計的両境界の微分値と境界上の微分値が等しくなる線が最も多く、かつ異なる場合はその線を除く線で加算後の境界線上を含む範囲の信号の微分値が各境界内の信号微分値の平均値に等しくするようになるバイアスをその隣接領域の信号に加算する。

【0169】この演算処理を、隣接する全ての領域に対して順次行い、撮像領域全体の信号を復元する。

【0170】以上に述べた以外の方法で、境界での画像の連続性を得るには、例えば境界線に対する直交する線上で数画素が最少自乗法でフィッティングした場合、フィッティング線上に信号値が最も多く乗るよう隣接領域の信号にバイアス電荷を加算する方法などもある。

【0171】（第26の実施形態）本実施形態は、セルのレイアウトを改良した例である。図26（a）に示す選択線（プレート電極配線）507を有する回路において、選択線507と対を成す選択キャパシタの電極503の配置を先の選択線507と平行にし、かつ配線下に配置形成する。

【0172】この配置法にすることでフォトダイオードの面積が、図26（b）に示す従来例に対して広がっていることが判る。また、このような構造にすることにより、ゲート電極503とキャパシタ電極504を共通化することができる。

【0173】なお、本発明は上述した各実施形態に限定されるものではない。本発明は、可視光領域の固体撮像装置に限らず、赤外線や近紫外線領域の固体撮像装置、さらにはCCDなどの電荷転送素子を用いた固体撮像装置にも使用できる。また、可視光センサ、赤外線センサ、近紫外線センサなどに応用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0174】

【発明の効果】以上詳述したように本発明（請求項1～4）によれば、隣接するセルの信号から新しい信号を作ることにより、S/N比を増加させると共に、特に空間周波数の低周波領域の信号を増加させることができる。しかも、この動作をイメージ部に隣接するノイズキャンセル領域で行い、オンチップで形成することで、信号処理回路をオンチップで行うことが可能となる。

【0175】また、本発明（請求項5）によれば、第1の垂直信号線の信号を分割して、複数の第2及び第3の垂直信号線を作り出すことにより、高感度、高解像度、

高 $S/N$ 比を持った信号を得ることができる。そしてこの信号は、各垂直信号線にノイズキャンセル回路や演算回路を持った構造で形成でき、従来よりもその特性を大幅に向上できる。

【0176】また、本発明（請求項6～8）によれば、次のような効果が得られる。

【0177】(1) 外部回路により決められる任意の隣接する数画素の信号電荷を同じ出力回路に加算して読み出しをすることで、選択兼増幅回路固有の電気特性のばらつきに由来する信号雑音成分の割合を下げ、加算された画素の信号電荷の平均値を各画素の信号値とすることで高い $S/N$ の信号出力得ることができる。また、隣接画素を加算すると解像度が劣化するが、加算画素数を外部回路により任意に設定することにより、利用者が高解像度と高 $S/N$ を選択して目的又は撮像される領域に応じて任意に設定できる。

【0178】(2) 数画素毎に信号電荷を同じ選択兼増幅回路から読み出し、各画素の信号値を最初に読み出した信号からの差分として信号を取り出すことにより、各選択兼増幅回路固有の電気特性のばらつきに由来する信号雑音成分を2画素以降の読み出し信号から除去できる。

【0179】(3) 最初に読み出した信号電荷が、選択兼増幅回路固有の雑音成分を含むため、撮像される像が平坦な領域では雑音除去された隣接画素の平均値で信号を置き換え、解像度を保ちながら $S/N$ 比の高いなめらかな像が得られる。

【0180】(4) 2次元センサで領域分割した出力回路から得られる信号で信号に含まれる各出力回路固有の雑音信号を効率よく除去できる。

【0181】(5) 選択キャパシタを、選択線となるプレート電極の配線と平行に配置することで、選択線の配線領域はキャパシタ領域として有効に活用できる。そのため、セル当たりの有効受光面積は従来の配置に比べて広めることができる。

【0182】(6) 選択読み出しキャパシタの一方の電極を選択トランジスタのゲート電極とし、選択トランジスタと一体化することで、キャパシタの電極形成工程が省略できるために工程の削減が可能となる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる固体撮像装置の回路構成を示す図。

【図2】第2の実施形態に係わる固体撮像装置の回路構成を示す図。

【図3】第3の実施形態における加算機能付きノイズキャンセル回路の一例を示す図。

【図4】第4の実施形態における加算回路の例を示す図。

【図5】第5の実施形態における加算回路の例を示す図。

【図6】第6の実施形態における加算回路の例を示す

図。

【図7】第7の実施形態における4種類の加算方法に対応するポテンシャル図。

【図8】第7の実施形態におけるノイズキャンセル回路を示す図。

【図9】第8の実施形態における加算動作を説明するための図。

【図10】第9の実施形態における加算動作を説明するための図。

10 【図11】第10の実施形態における加算動作を説明するための図。

【図12】第11の実施形態に係わる固体撮像装置の回路構成を示す図。

【図13】第12の実施形態に係わる固体撮像装置の回路構成を示す図。

【図14】第13の実施形態に係わる固体撮像装置の回路構成を示す図。

【図15】第14の実施形態に係わる固体撮像装置の回路構成を示す図。

20 【図16】第15の実施形態に係わる固体撮像装置の回路構成を示す図。

【図17】第16の実施形態に係わる固体撮像装置の回路構成を示す図。

【図18】第17の実施形態に係わる固体撮像装置の回路構成を示す図。

【図19】第18の実施形態に係わる固体撮像装置の回路構成を示す図。

【図20】第19の実施形態に係わる固体撮像装置の回路構成を示す図。

30 【図21】第20の実施形態に係わる固体撮像装置の回路構成を示す図。

【図22】第21の実施形態に係わる固体撮像装置のセル部の回路構成を示す図。

【図23】第21の実施形態に係わる固体撮像装置の全体構成を示す図。

【図24】第21の実施形態における周辺回路を含めたセル部の回路構成を示す図。

【図25】第22の実施形態における固体撮像装置の駆動パルスを示す図。

40 【図26】第26の実施形態におけるセルのレイアウトを従来例と比較して示す図。

【図27】従来の増幅型固体撮像装置の回路構成を示す図。

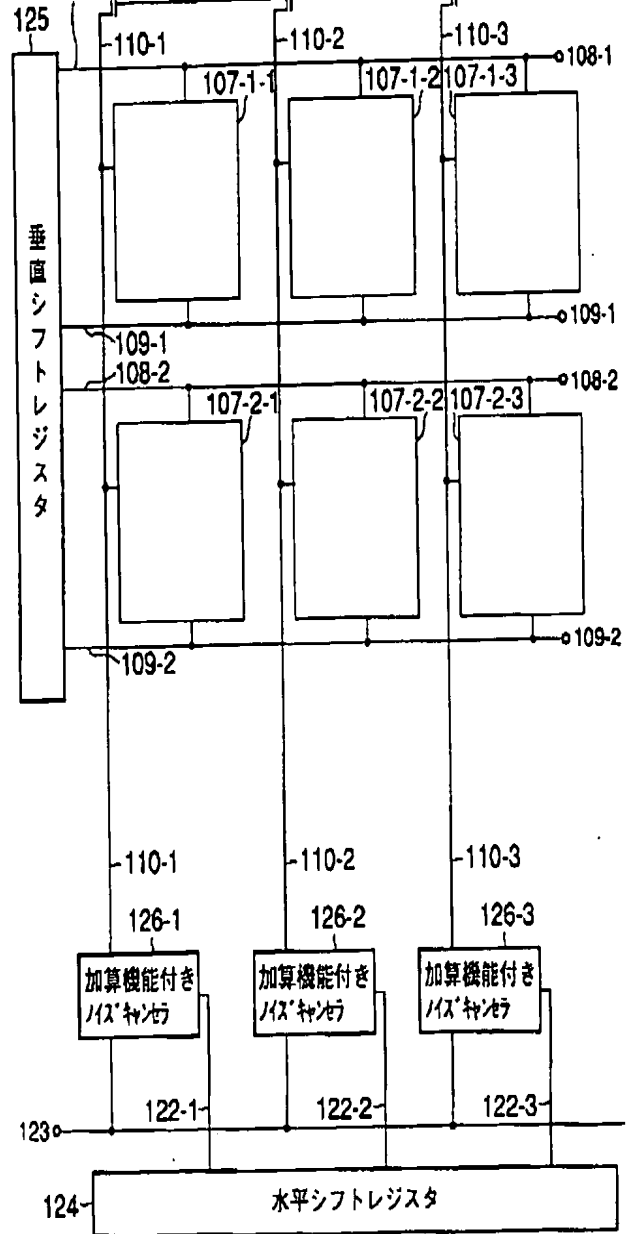
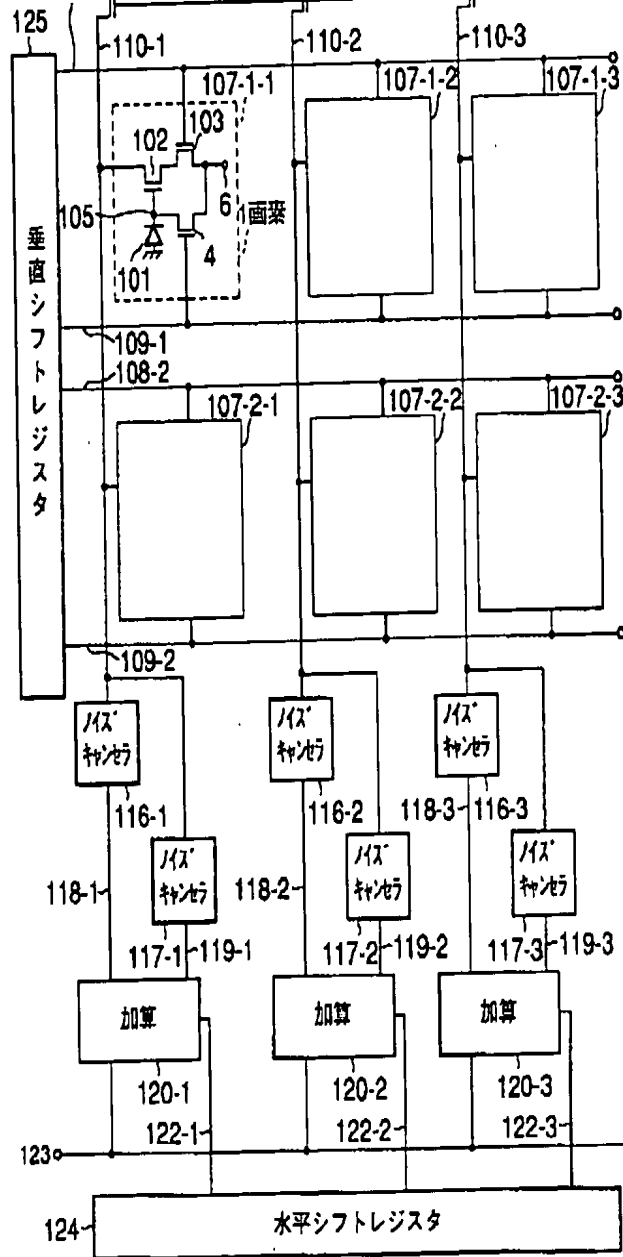
【図28】従来装置の動作を説明するためのタイミング図。

【図29】第21の実施形態に係わる固体撮像装置のセル部全体の回路構成を示す図。

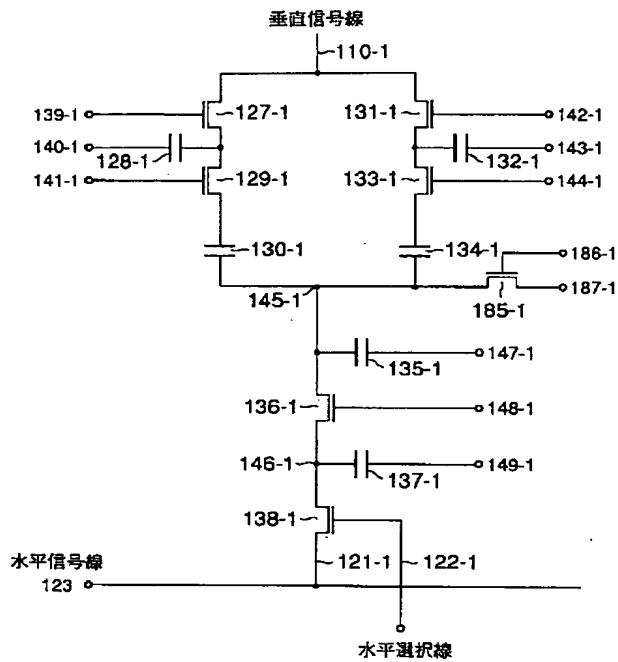
【符号の説明】

101…フォトダイオード

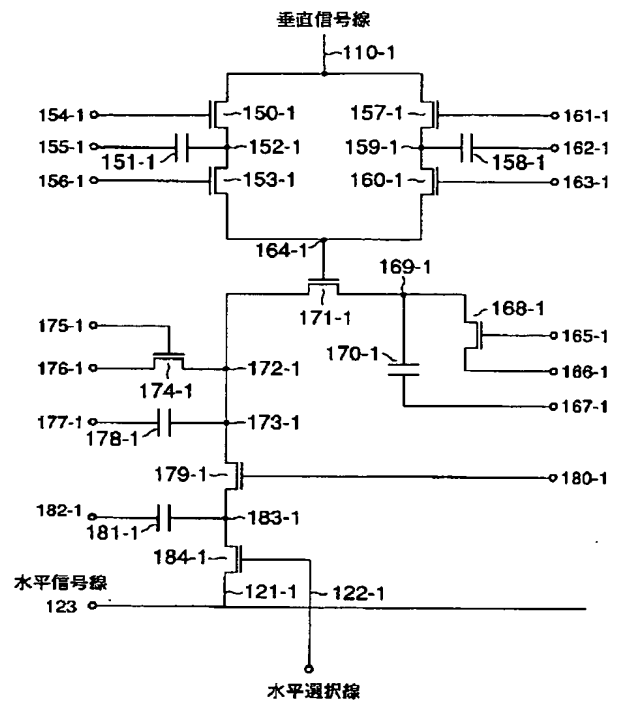
50 102…増幅トランジスタ



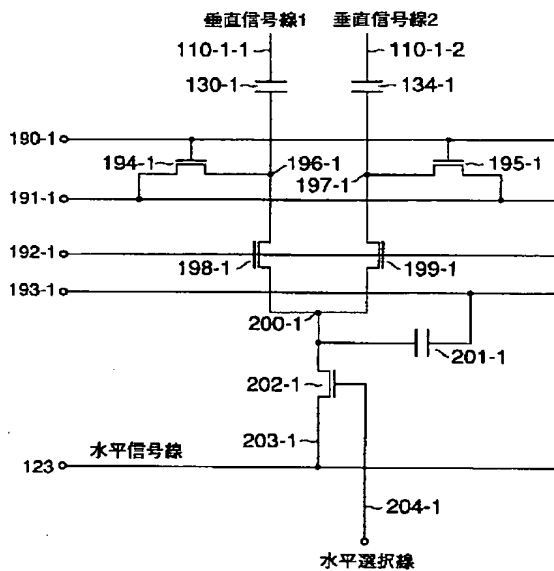
【図 3】

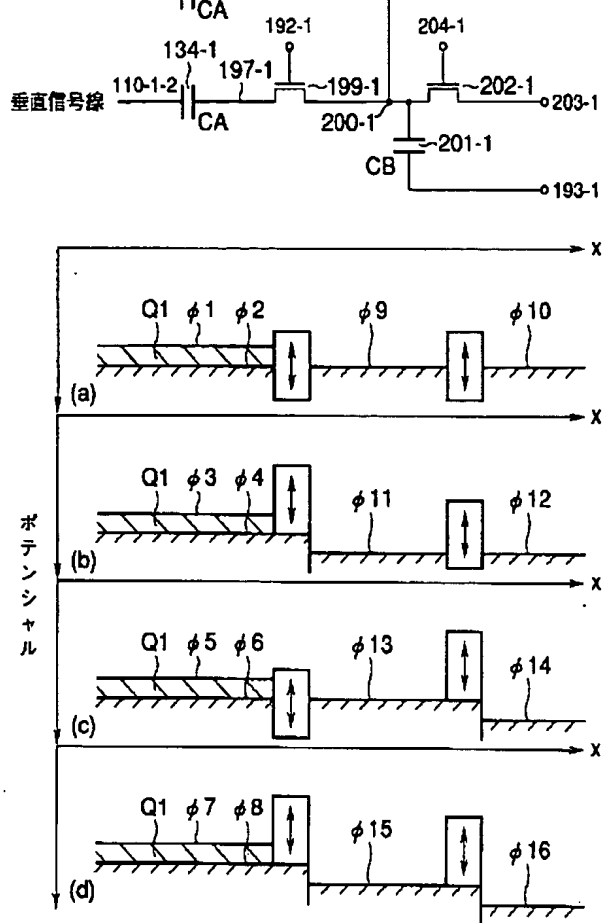


【図 4】

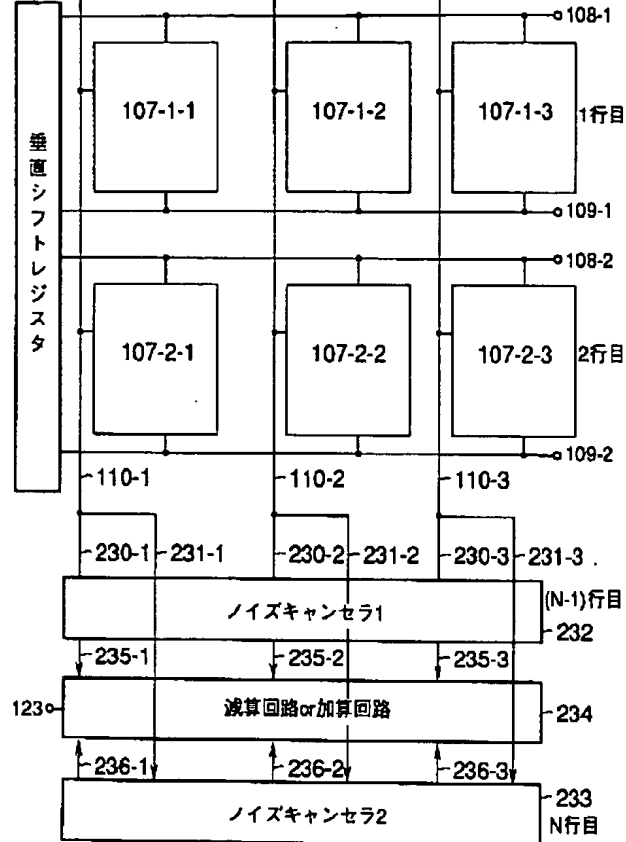
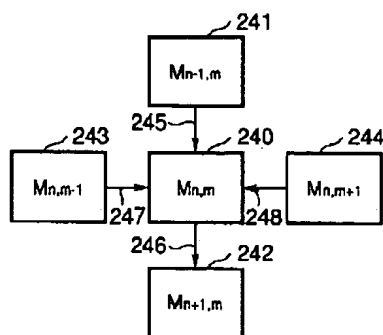


【図 5】

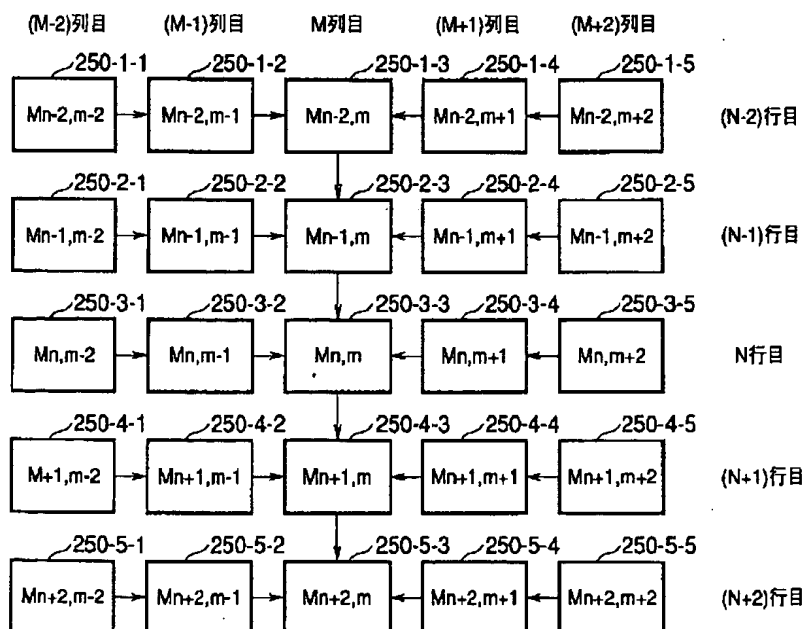




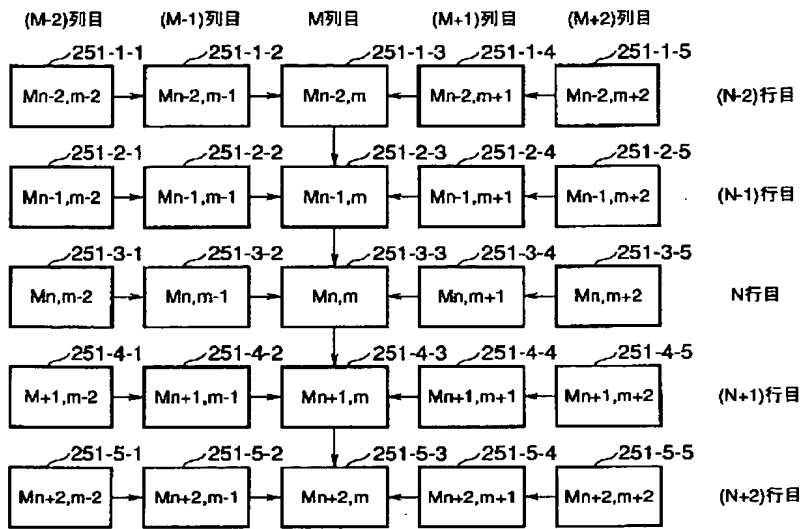
【図9】



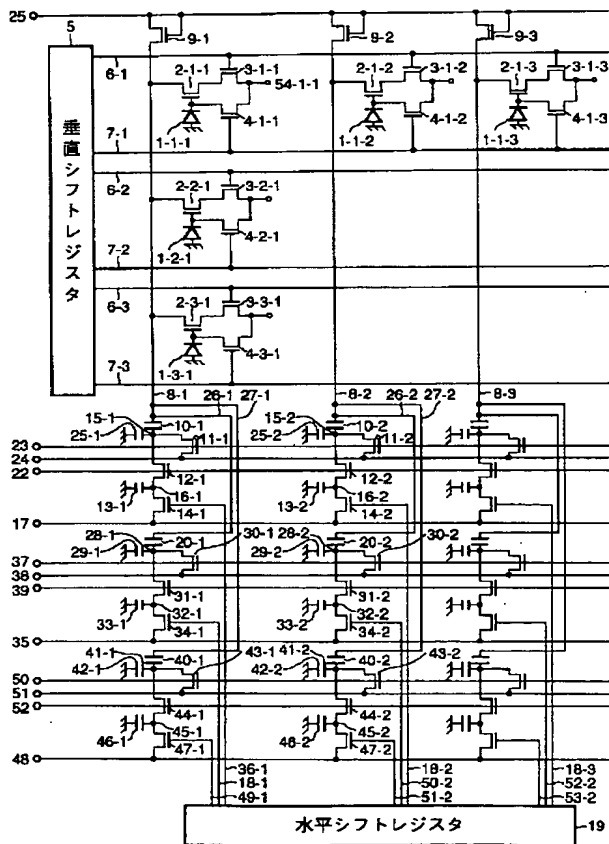
【図10】



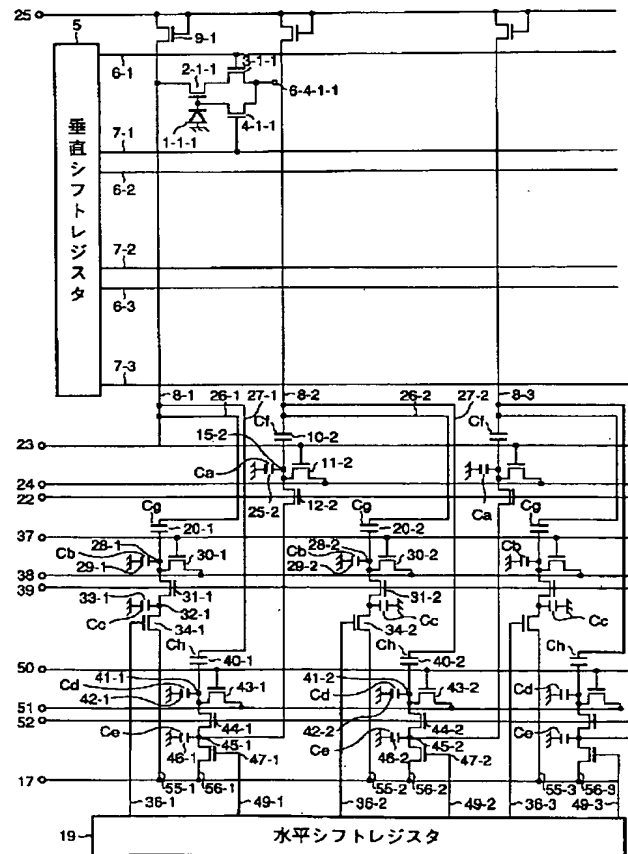
【図 11】



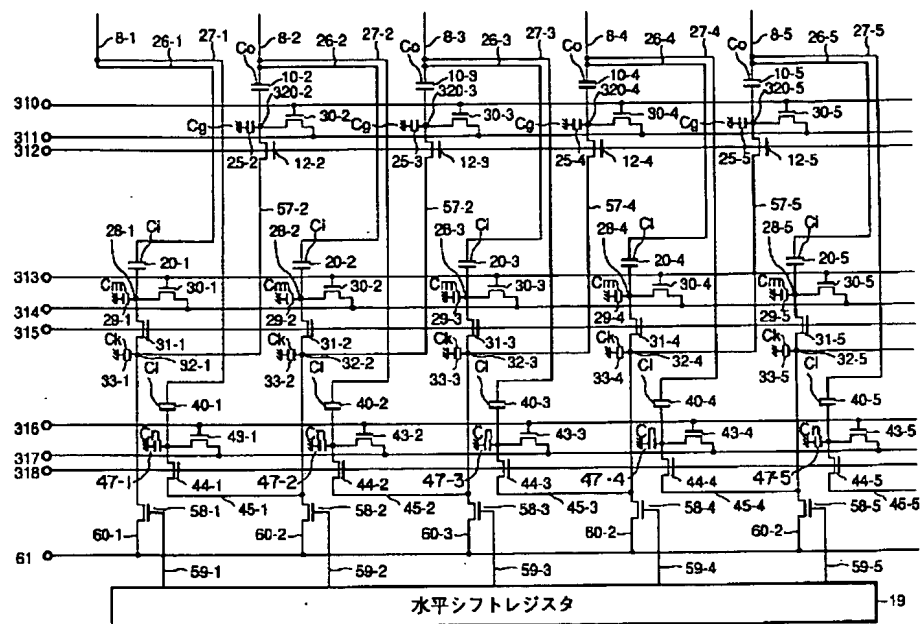
【図 12】



【図 13】



【図14】



【図15】

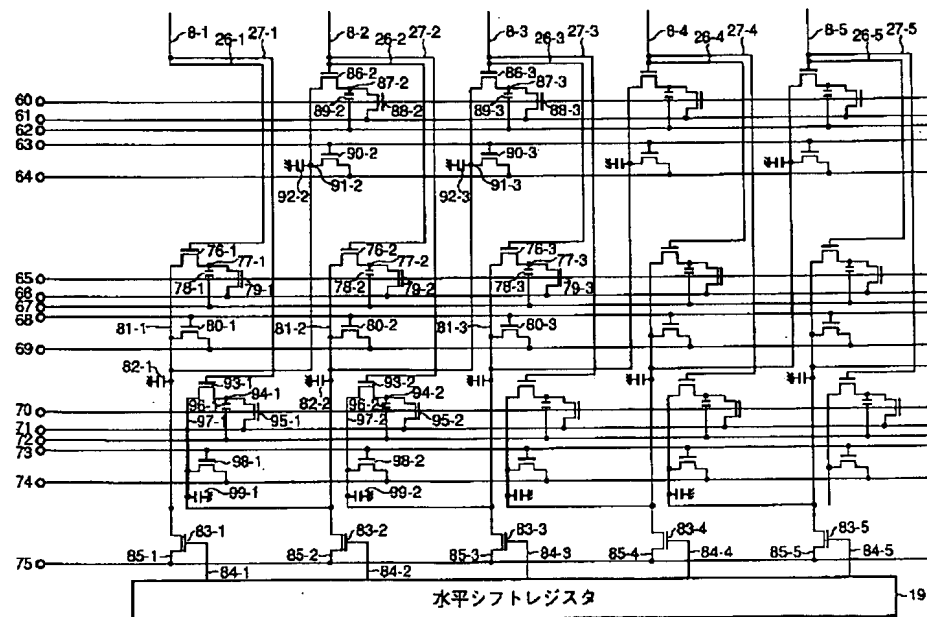
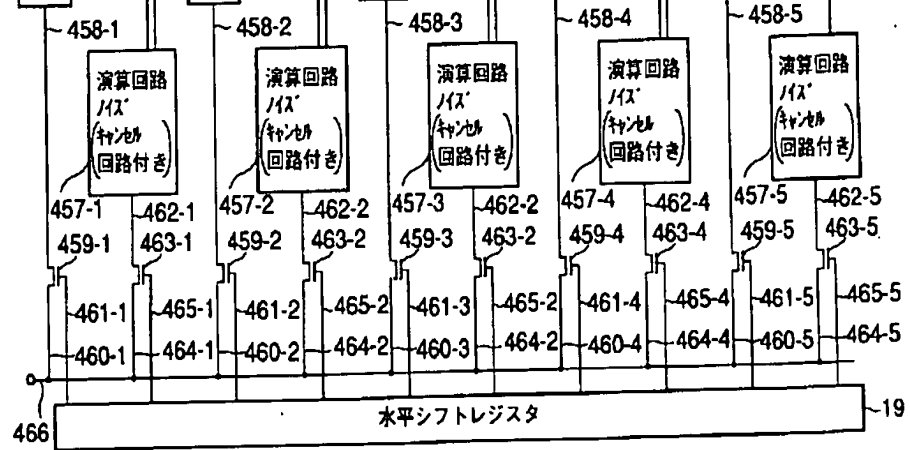
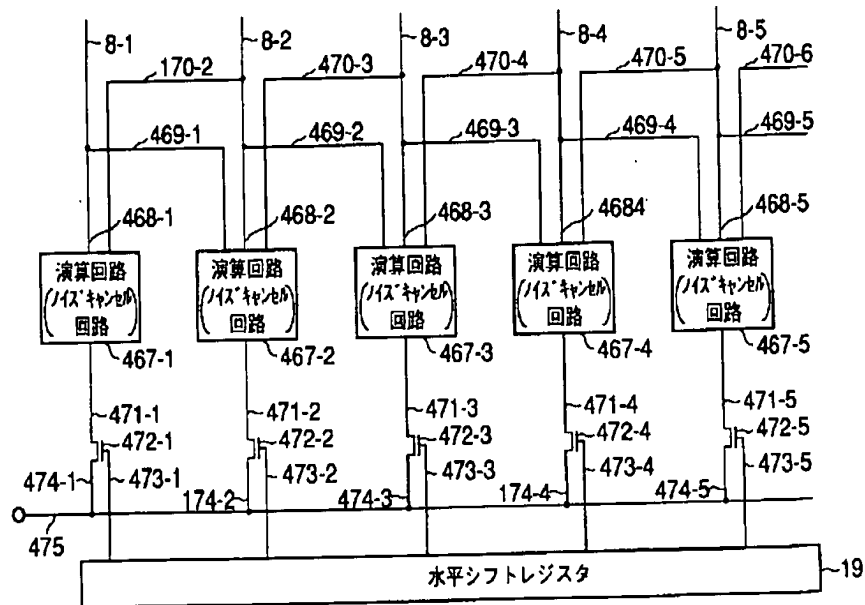




Figure 1 is a block diagram of a video signal processing circuit. It features a grid of "単位セル" (Unit Cells). A horizontal line passes through the grid, with a small square component labeled "515" and "519" positioned on it. To the right of the grid, there are two vertical blocks: "読み出しモード変換デコーダ" (Read Mode Conversion Decoder) and "垂直レフトレジスタ" (Vertical Left Register). The decoder is connected to "CLK" and "528". The vertical register is connected to "CLK" and "528". Below the grid, there is a horizontal block labeled "水平シフトレジスタ" (Horizontal Shift Register). This register is connected to "OUT" and "CLK". It is also connected to "523", "524", "525", and "527". The grid is connected to "515", "519", "505", and "507". The grid is also connected to "521, 522".



【図19】



【図22】

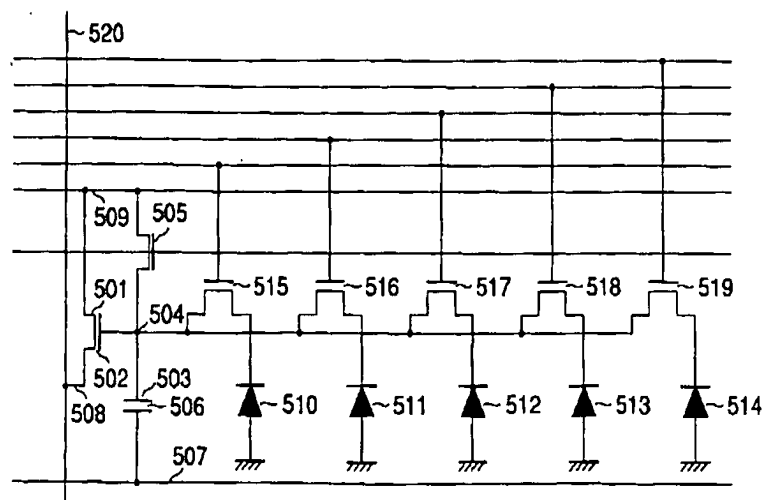
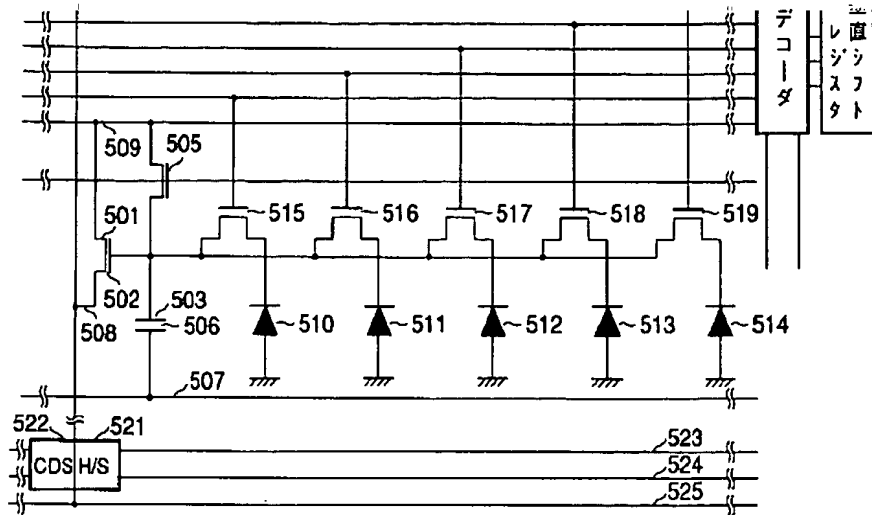


Figure 1 is a block diagram of a parallel processing circuit. It consists of 8 stages, each containing an arithmetic unit (演算回路) and a horizontal shift register (水平シフトレジスタ). The stages are labeled 1 through 8. Each stage has an input register (n行目, n+1行目) and an output register (482). The diagram shows data flow from input registers through various adders and shift registers, with labels for specific data paths like 477-1, 479-1, 478-1, etc.



【図 2 5】

